

# 将来計画WG 装置開発

取りまとめ：

河野裕介（NAOJ）

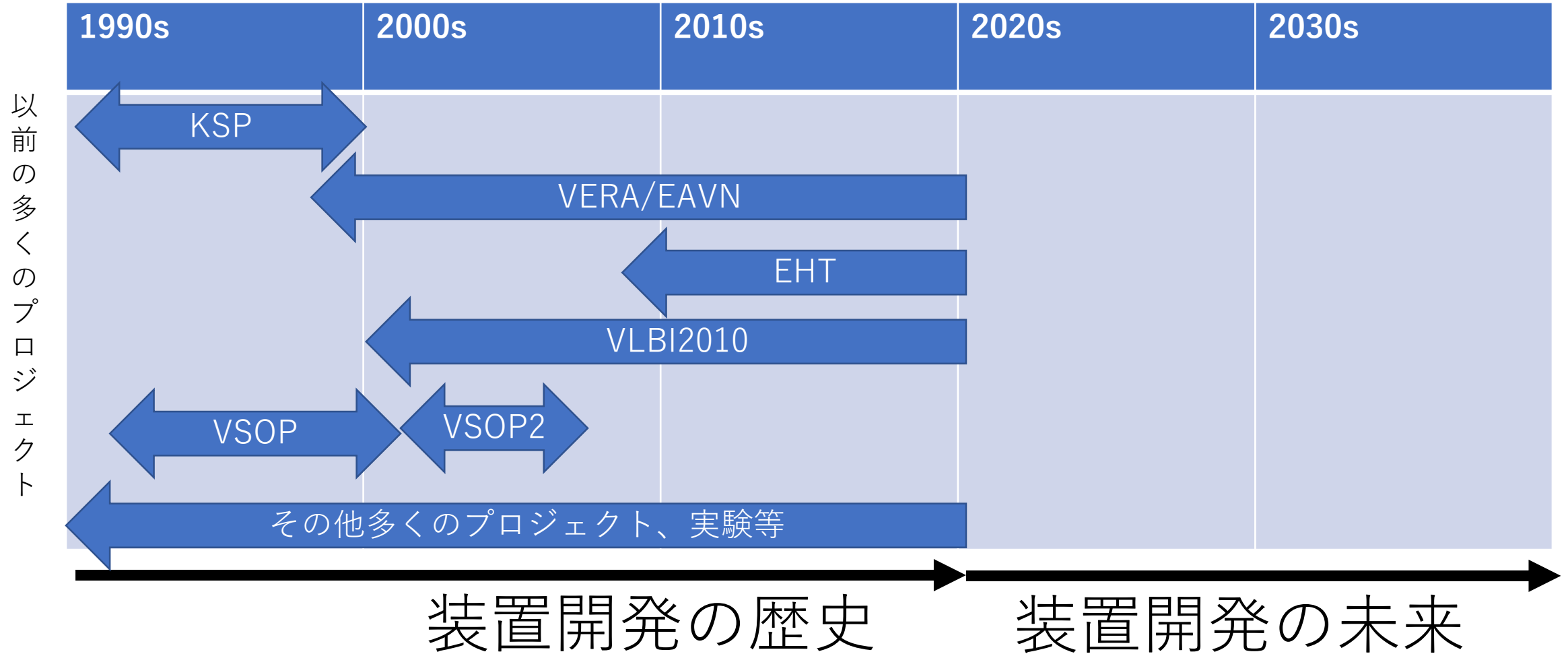
メンバー：

岳藤一宏（JAXA）、木村公洋（JAXA）、  
小山友明（NAOJ）、小林秀行（NAOJ）

# 内容

- 装置開発班の目的
- これまでの活動の概要と今後の計画

# 本装置開発班の目的（1）



# 本グループの目的（2）

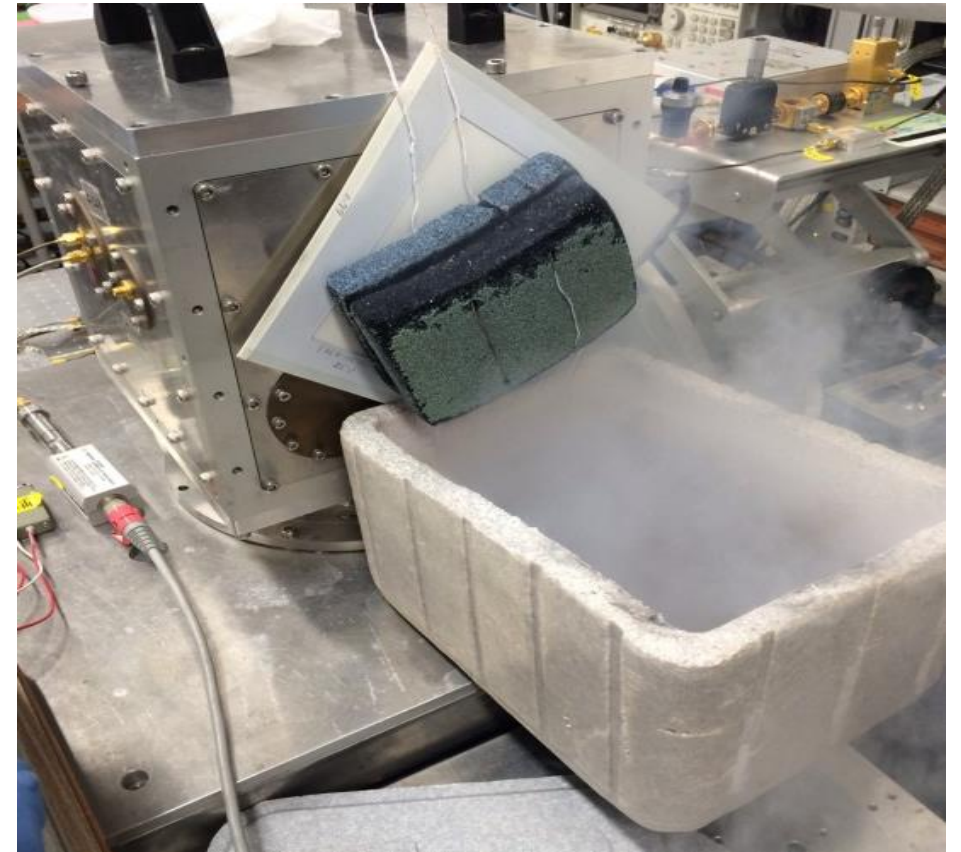
- 装置開発に関する将来計画の議論を報告書にまとめる
  - コミュニティとしての中期計画＋長期計画
- 次のような観点で議論する
  - サイエンスのサポート
  - キーとなる観測性能の予測
  - 技術的アイディアの提案

# サイエンスのサポート

- 目的
  - サイエンスの要求を実現する技術提案やフェージビリティの検討
- これまで（6-8月）
  - MONSTER計画
    - Feedのフェージビリティの検討
  - VERA 86GHz化
    - フィドームの損失（次のページ）

# VERAフィドーム100GHz帯透過測定

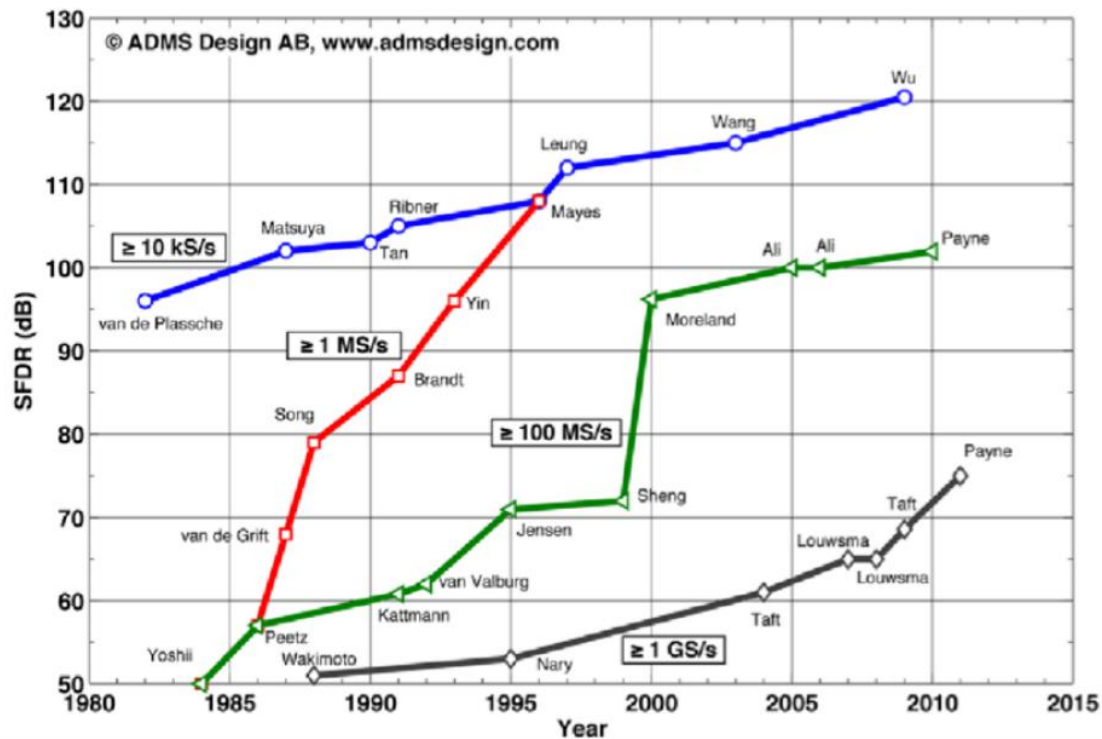
- 大阪府大チーム
- 2013年に実施
- 100GHz帯SIS受信機
- Hot/Cold法



# キーとなる観測性能の予測

- これまでの検討
  - 広帯域化
    - Feed
    - AD帯域
    - 相関処理等
  - RFI耐性

# ADの現状と予測



Published in 2013

## A/D-converter performance evolution

B. E. Jonsson

大体10年で、サンプリング速度が1桁向上、  
 現在16Gsp/sもOCTADで実装済み  
 このレートのまま進化すれば、  
 2030年: 100Gsp/s, 2040年で1Tsp/sに到達



### VEGA ADC 30 Key Data

VEGA Products Home Products Services Literature & News About Purchase

- VEGA DAC3
- VEGA DAC II
- VEGA ADC30-NG
- VEGA Evaluation Board

The ADC 30 is designed for 30GS/s to show the inherent performance and functional capability of the VEGA modular approach.

The ADC 30 consists of an input-amplifier, track-and-hold circuit, ADC-core and output logic. The converter has a bandwidth of 20GHz, which shows up when operating two ADCs in interleave mode to provide 60GS/s @ 20 GHz.

Data-transfer to FPGA will be via 24 serial lines (LVDS or PCML, differential) running at fsample/4, e.g. 7.5Gbit/s for 30GS/s (6 bit \* 1:4 Mux → 24 signals). The 24 differential serial data lines are connected with the chip carrier module via high density Samtec RF connectors. All other DC signals are also carried through Samtec connectors. Clock input and signal input are interfaced by K-connectors.

Like DAC II, the ADC30s are available with an evaluation board. The ADC chip is mounted to the PCB board on a chip-carrier (shown here) which allows easy swapping of ADC chips to different (customer) boards.

In addition a register bus (LVTTTL, serial) is used to configure and calibrate the A/D converter. Dedicated on-chip circuitry will support for easy calibration.

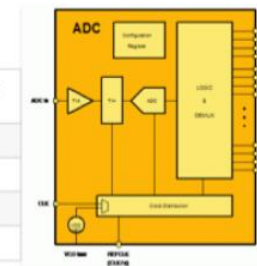
#### DAC chip carrier module

The conversion will be interleaved, there will be several blocks sharing the conversion operation. Results are processed in a logic block and de-multiplexed for further processing by external CMOS FPGA chips. The RF-Clock is fed directly into the A/D converter and provides a reference clock to the FPGA. Depending on customer needs there is an option to include a VCO on the chip in later versions.

The high-speed interface will carry raw data only, without line coding (except scrambling) or framing. To compensate for skew on PCB as well as to align input stages in the FPGA, the A/D converter can be switched into a dedicated synchronization mode. Since some FPGA require a certain amount of data edges on the input channels to stay synchronized, the data transmitted to the FPGA can be optionally PRBS scrambled to enforce transitions even while the ADC-input is static.

#### SPECIFICATION DATA

SAMPLING RATE	SINGLE CHIP 30GS/S & DUAL CHIP 60GS/S
Physical Resolution	6 bits
ENOB	>4.5 bits @ 14 GHz
Bandwidth (-3db)	20 GHz
Input range (full scale)	400 mVpp



ADC30 block diagram

特注品なら  
60Gsp/sもある



# 高ダイナミックレンジVLBI

## High dynamic range VLBI

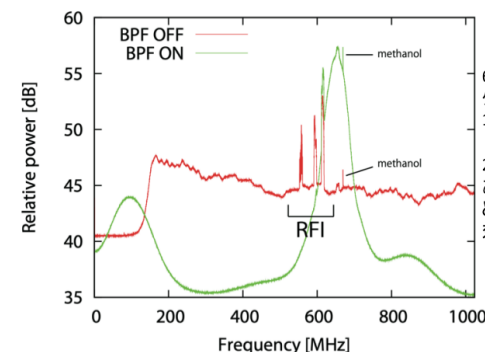
- 超広帯域LNA + High P1dBポストアンプ + 多ビットでダイレクトサンプリング！
- RFIに埋もれた信号抽出可能
- これまで使用できなかった帯域の積極利用
- 多ビットデータをそのまま伝送 or 抑圧後に低ビットにして相関処理
- まずは8bitで実験してみる？

8bit ホログラフィー観測@鹿島34m



- 12GHz帯の衛星放送信号
- 信号帯域の8MHzを受信
- 34m,参照アンテナで同時にサンプリング
- 干渉処理+遅延計測
- レベル差は約35dB -> 4bit以上

他ビットでデジタルフィルタ@ADS3000+



- 6.7GHzメタノールレーザーのダイナミックレンジ向上  
1.65 → 2.23dB
- 2Gsps, 1bit もともとRFIがあったため、情報がRFIにとられ、RFIを抑圧したことで、効率的にビットが利用できた

メーカー WESTERN DIGITAL  
**WUH721818ALE6L4 [18TB SATA600 7200]**



最安価格(税込): **¥84,315**  
 (前週比: -4,624円↓) 価格推移グラフ  
 ゆたぶろび

クレカ支払い  
 最安価格(税込): **¥84,315**  
 ゆたぶろび

価格帯: ¥84,315~¥92,941 (4店舗) メーカー希望小売価格: ¥—

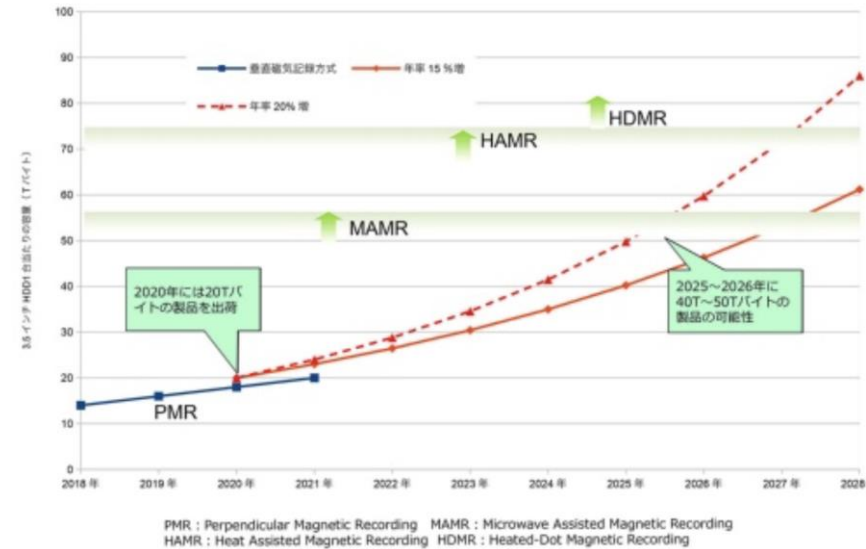


図1 3.5インチHDDの容量は2025~26年に50Tバイトへ  
<https://xtech.nikkei.com/atcl/nxt/column/18/01140/00002/>



2030年頃には100TBのHDD、数PBのサーバーが  
 100万円程度で入手可能に。

このため、ダイレクトサンプリングでRF帯域 ( $\leq$ 数十GHz) をすべて記録、  
 かつマルチフィード (+マルチフェーズセンター) で超広視野VLBIが  
 普遍的に実施されると推測。

これに見合ったサイエンスとは？

2020年現在で18TBは入手可能

# 光学系・受信機系

- アンテナ光学系
  - 主鏡開口面上で電界一様
- 広帯域フィード
  - NICT, 大阪府大等で開発中
- 視野
  - FOREST, DESHIMA, LiteBird等マルチフィード化
    - フィードの集積技術は進んでいるが、コストが問題

# SKA-VLBI時代の相関処理 GPGPU

## 現状：単一視野VLBI

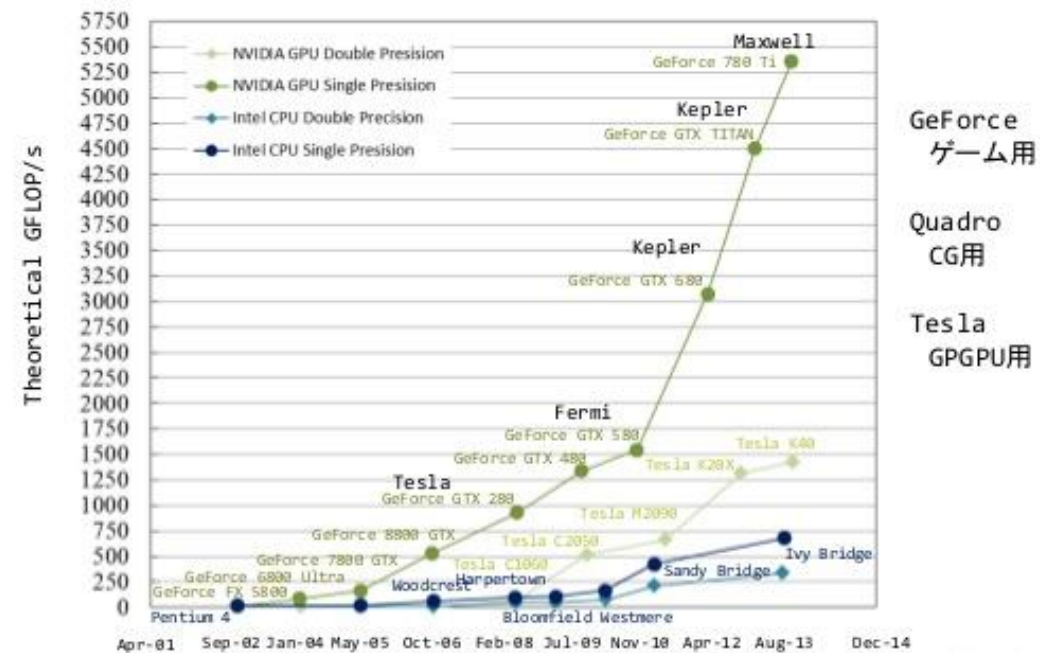
- ・ 4局6基線、512MHz,16K点分光処理  
→リアルタイム処理可能 (GPU 1台)

## SKA-VLBI時代：広域マルチ視野VLBI

- ・ 16局120基線、512MHz、16K点分光処理  
広域マルチ視野観測の実現 (16視野)  
→50-100倍の処理能力が必要

GPUの進化まだ15-20年程度、2030年までは並列化、  
伝送方法改良 (Nvlink)、アルゴリズム改良等ムーアの  
法則以外の手法でも現在の2倍/2.5年の性能向上係数を維持。  
→10年後 GPU10台程度で処理可能

## GPUの性能の遷移 (理論演算性能)



NVIDIA社が公開している資料を基に作成

# サイト

## • 国内サイトの制限

	国内低地	国内高地	海外低地	海外高地	成層圏	低軌道	高軌道	深宇宙
電波天文ミッションの例	VERA	NRO	SKA	ALMA	気球VLBI	Lite Bird	Halca RadioAstro	NCLE (<30MHz)
周波数帯	<100GHz	<100GHz	<50GHz	~THz	○	○	○	○
基線長	短	短	-	-	-	長	長	長
機器環境	○	○	○	△	×	×	×	×
機会					×	×	×	×
固有の技術課題 RF					指向・重量・視野・帯域	指向・重量・視野・帯域	指向・重量・視野・帯域	指向・重量・視野・帯域
固有の技術課題 Digital					電力・重量・発熱	電力・重量・発熱	電力・重量・発熱	電力・重量・発熱

# 技術的アイディアの提案

- VLBIに必要なブレークスルー
  - 絶望的感度不足の克服
    - 局数、 $T_{\text{sys}}$ 、帯域、周波数
  - 時間分解能・広視野化

# その他考慮すべき項目

- 国際大型プロジェクトとの関係
  - 大型ならではの課題：コスト等
- 人材
  - 小規模プロジェクトと大型の組み合わせが重要

# まとめ

- 装置開発の将来について次のような観点で議論中
  - サイエンスドリブンプロジェクトのサポート
  - キーとなる観測性能の予測
  - 技術的アイディアの提案
- ご意見お待ちしております。